

PHASE SHIFTER

Publication number: JP8250963

Publication date: 1996-09-27

Inventor: KASAHARA MICHIAKI; KAWANO HAJIME; INAMI KAZUYOSHI; MUROI KOICHI; IYAMA YOSHITADA

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: H03H7/20; H03H11/16; H03H7/00; H03H11/02; (IPC1-7): H03H7/20

- European: H03H11/16

Application number: JP19950055854 19950315

Priority number(s): JP19950055854 19950315

Also published as:



EP0732808 (A2)

US5701107 (A1)

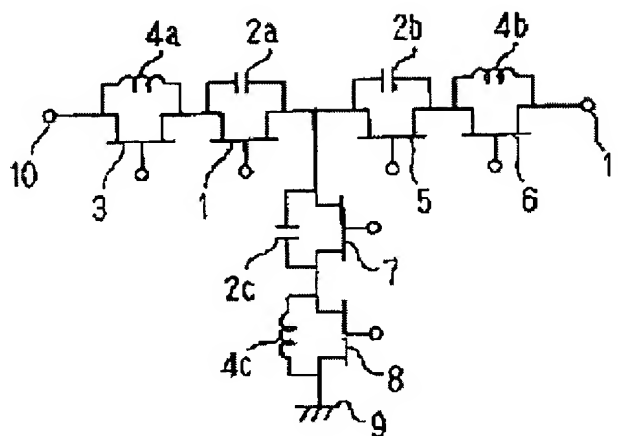
EP0732808 (A3)

EP0732808 (B1)

[Report a data error here](#)

Abstract of JP8250963

PURPOSE: To make the size of a phase shifter with a large phase shift amount small and to design the phase shifter with a small frequency characteristic by selecting a T-shaped phase lag circuit or a T-shaped phase lead circuit employing lumped constants such as inductors and capacitors. **CONSTITUTION:** With FETs 3, 6 and 7 made conductive, and FETs 1, 5 and 8 made nonconductive, the FETs in the conductive state have a sufficiently low impedance and a high frequency signal passes through the FETs, and the FETs in the nonconductive state have a high impedance and a high frequency signal passes through a circuit loaded in parallel. An equivalent circuit of the phase shifter is a T-shaped high-pass filter employing capacitors 2a, 2b and an inductor 4c, which acts like a phase lead circuit. Then the FETs 3, 6 and 7 are nonconductive and the FETs 1, 3 and 8 are conductive. An equivalent circuit of the phase shifter is a T-shaped low-pass filter employing capacitors 2c and inductors 4a, 4b, which acts like a phase lag circuit.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250963

(43) 公開日 平成8年(1996) 9月27日

(51) Int.Cl.⁶

H 0 3 H 7/20

識別記号

庁内整理番号

F I

H 0 3 H 7/20

技術表示箇所

E

審査請求 未請求 請求項の数25 O L (全 23 頁)

(21) 出願番号 特願平7-55854

(22) 出願日 平成7年(1995) 3月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 笠原 通明

鎌倉市上町屋325番地 三菱電機株式会社

鎌倉製作所内

(72) 発明者 川▲の▼ 肇

鎌倉市上町屋325番地 三菱電機株式会社

鎌倉製作所内

(72) 発明者 稲見 和喜

鎌倉市上町屋325番地 三菱電機株式会社

鎌倉製作所内

(74) 代理人 弁理士 高田 守 (外4名)

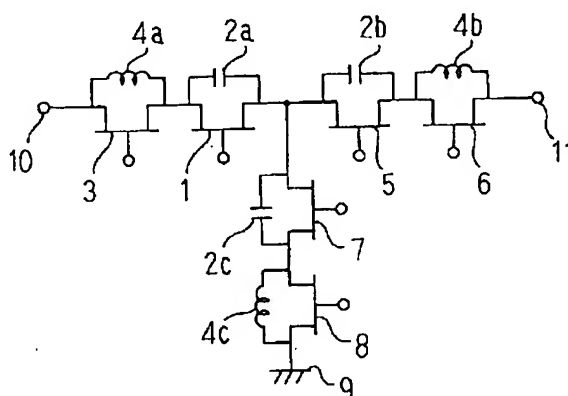
最終頁に続く

(54) 【発明の名称】 移相器

(57) 【要約】

【目的】 小型で、周波数特性の小さい移相器を得る。

【構成】 インダクタもしくはキャパシタを並列に装荷したFETを、各FETのソース電極とドレイン電極とを接続して配置し、これらFETのゲート電極に印加するバイアス電圧を制御してFETのオン状態とオフ状態とを切換えることにより、インダクタ及びキャパシタより構成される位相遅れ回路と位相進み回路とを切換えて位相を行う。



- 1 : 第1のFET
- 2 : キャパシタ
- 3 : 第2のFET
- 4 : インダクタ
- 5 : 第3のFET
- 6 : 第4のFET
- 7 : 第5のFET
- 8 : 第6のFET
- 9 : 接地

2

【請求項３】 ドレイン電極とソース電極間に第１のキャパシタを装荷した第１のＦＥＴに、ドレイン電極とソース電極間に第１のインダクタを装荷した第２のＦＥＴが、ドレイン電極及びソース電極を接続端子として直列に接続された第１の直列回路と、ドレイン電極とソース電極間に第２のキャパシタを装荷した第３のＦＥＴに、ドレイン電極とソース電極間に第２のインダクタを装荷した第４のＦＥＴが、ドレイン電極及びソース電極を接続端子として直列に接続された第２の直列回路とを出入力間を結ぶ主線路に対して直列に接続すると共に、第５のＦＥＴに、ドレイン電極とソース電極間に第３のインダクタを装荷した第６のＦＥＴが、ドレイン電極及びソース電極を接続端子として直列に接続された第３の直列

【請求項7】 第1のFETと、第2のFETとをドレイン電極及びソース電極を接続端子として入出力間を結ぶ主線路に対して直列に接続すると共に、第3のFET

4

装荷した第4のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第2の直列回路とを入出力間を結ぶ主線路に対して各々並列に接続すると共に、第5のFETに、ドレイン電極とソース電極間に第3のインダクタを装荷した第6のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第3の直列回路を、前記第1の直列回路と第2の直列回路間に、入出力間を結ぶ主線路に対して直列接続して π 型回路を構成し、前記第1から第6のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項11】 第1のFETに、ドレイン電極とソース電極間に第1のインダクタを装荷した第2のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第1の直列回路と、第3のFETに、ドレイン電極とソース電極間に第2のインダクタを装荷した第4のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第2の直列回路とを出入力間を結ぶ主線路に対して各々並列に接続すると共に、第5のFETに、ドレイン電極とソース電極間に第3のインダクタを装荷した第6のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第3の直列回路を、前記第1の直列回路と第2の直列回路間に、出入力間を結ぶ主線路に対して直列接続して π 型回路を構成し、前記第1から第6のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項12】 第1のFETに、ドレイン電極とソース電極間に第1のインダクタを装荷した第2のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第1の直列回路と、第3のFETに、ドレイン電極とソース電極間に第2のインダクタを装荷した第4のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第2の直列回路とを出力間を結ぶ主線路に対して各々並列に接続すると共に、ドレイン電極とソース電極間に第1のキャパシタを装荷した第5のFETを、前記第1の直列回路と第2の直列回路間に、出力間を結ぶ主線路に対して直列接続して π 型回路を構成し、前記第1から第5のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項 13】 第 1 の FET に、ドレイン電極とソース電極間に第 1 のインダクタを装荷した第 2 の FET が、ドレイン電極及びソース電極を接続端子として直列に接続された第 1 の直列回路と、第 3 の FET に、ドレイン電極とソース電極間に第 2 のインダクタを装荷した第 4 の FET が、ドレイン電極及びソース電極を接続端子として直列に接続された第 2 の直列回路とを出入力間を結ぶ主線路に対して各々並列に接続すると共に、第 5 の FET を、ドレイン電極及びソース電極を接続端子と

5

して、前記第1の直列回路と第2の直列回路間に、入出力間を結ぶ主線路に対して直列接続して π 型回路を構成し、前記第1から第5のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項14】 第1のFETに、ドレイン電極とソース電極間に第1のインダクタを装荷した第2のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第1の直列回路と、第3のFETに、ドレイン電極とソース電極間に第2のインダクタを装荷した第4のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された第2の直列回路とを出入力間を結ぶ主線路に対して各々並列に接続すると共に、ドレイン電極とソース電極間に第3のインダクタを装荷した第5のFETを、ドレイン電極及びソース電極を接続端子として、前記第1の直列回路と第2の直列回路間に、入出力間を結ぶ主線路に対して直列接続して π 型回路を構成し、前記第1から第5のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項15】 ドレイン電極とソース電極間に第1のインダクタを装荷した第1のFETと、ドレイン電極とソース電極間にキャパシタを装荷した第2のFETとを、ドレイン電極及びソース電極を接続端子として入出力間を結ぶ主線路に対して直列に接続すると共に、第3のFETに、ドレイン電極とソース電極間に第2のインダクタを装荷した第4のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された直列回路を、前記第1のFETと第2のFETの接続点に、入出力間を結ぶ主線路に対して並列接続してT型回路を構成し、前記第1から第4のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項16】 ドレイン電極とソース電極間に第1のインダクタを装荷した第1のFETと、第2のFETとをドレイン電極及びソース電極を接続端子として入出力間を結ぶ主線路に対して直列に接続すると共に、第3のFETに、ドレイン電極とソース電極間に第2のインダクタを装荷した第4のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された直列回路を、前記第1のFETと第2のFETの接続点に、入出力間を結ぶ主線路に対して並列接続してT型回路を構成し、前記第1から第4のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項17】 ドレイン電極とソース電極間に第1のインダクタを装荷した第1のFETをドレイン電極及びソース電極を接続端子として入出力間を結ぶ主線路に対して直列に接続すると共に、第2のFETに、ドレイン電極とソース電極間に第2のインダクタを装荷した第3

6

のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された直列回路を、入出力間を結ぶ主線路に対して並列接続した構成であって、前記第1から第3のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項18】 ドレイン電極とソース電極間にキャパシタを装荷した第1のFETをドレイン電極及びソース電極を接続端子として入出力間を結ぶ主線路に対して直列に接続すると共に、第2のFETに、ドレイン電極とソース電極間にインダクタを装荷した第3のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された直列回路を、入出力間を結ぶ主線路に対して並列接続した構成であって、前記第1から第3のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項19】 第1のFETをドレイン電極及びソース電極を接続端子として入出力間を結ぶ主線路に対して直列に接続すると共に、第2のFETに、ドレイン電極とソース電極間にインダクタを装荷した第3のFETが、ドレイン電極及びソース電極を接続端子として直列に接続された直列回路を、入出力間を結ぶ主線路に対して並列接続した構成であって、前記第1から第3のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする移相器。

【請求項20】 前記インダクタが装荷されるFETのうち少なくとも一つ以上のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、この指交差状の電極を有するFETに装荷される前記インダクタを形成するインダクタ用線路パターンが、ソース電極パターンまたはドレイン電極パターンのうち一極の少なくとも一本以上の電極パターンと、他極の少なくとも一本以上に電極パターンとを接続して形成することを特徴とする請求項1～19記載のいずれかの移相器。

【請求項21】 前記キャパシタが装荷されるFETのうち少なくとも一つ以上のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、この指交差状の電極を有するFETに装荷される前記キャパシタが、ソース電極パターンまたはドレイン電極パターンのうち一極の少なくとも一本以上の電極パターンと、他極の少なくとも一本以上の電極パターンとを接続して形成されることを特徴とする請求項1～3, 6, 8～10, 12, 15, 18記載のいずれかの移相器。

【請求項22】 前記FETのうち少なくとも一つ以上のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、これら指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを配置してFET部を形成すると共に、残るソ

7

ース電極パターンとドレイン電極パターンとを接続して前記インダクタを形成したことを特徴とする請求項1～19記載のいずれかの移相器。

【請求項23】 前記FETのうち少なくとも一つ以上のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、この指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを配置してFET部を形成すると共に、残るソース電極パターンとドレイン電極パターンの一部にMetal insulator Metalコンデンサを形成して前記キャパシタを構成したことを特徴とする請求項1～3, 6, 8～10, 12, 15, 18記載のいずれかの移相器。

【請求項24】 前記FETのうち少なくとも一つ以上のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、この指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを配置してFET部を形成すると共に、残るソース電極パターンとドレイン電極パターンとの間隙をインターデジタルキャパシタとして前記キャパシタを形成したことを特徴とする請求項1～3, 6, 8～10, 12, 15, 18記載のいずれかの移相器。

【請求項25】 前記入出力間を結ぶ主線路に対して並列に接続されたFETのソース電極またはドレイン電極がキャパシタを介して接地されていることを特徴とする請求項1～19記載のいずれかの移相器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マイクロ波帯やミリ波帯で動作するFET（電界効果トランジスタ）を切換え素子として用いた移相器に関するものである。

【0002】

【従来の技術】 FETを用いた移相器は、マイクロ波帯やミリ波帯におけるフェーズドアレイアンテナや各種伝送回路において広く用いられている。従来から知られている移相器としては、例えばスイッチドライン型と呼ばれる図35に示すような等価回路を有する移相器がある。

【0003】 図中1は第1のFET、3は第2のFET、5は第3のFET、6は第4のFET、25は基準伝送線路、26は遅延伝送線路であり、入力端子10に第1のFET1のドレイン電極27a及び第2のFET3のドレイン電極27bが接続され、出力端子11には第3のFET5のドレイン電極27c及び第4のFET6のドレイン電極27dが接続されている。また、第2のFET3のソース電極28bと第4のFET6のソース電極28dとの間には、基準伝送線路25が接続され、第1のFET1のソース電極28aと第4のFET

8

6のソース電極28cとの間には、基準伝送線路25より電気長の長い遅延伝送線路26が接続されている。また、29は各FETのゲート電極である。

【0004】 次に従来の移相器の動作を図35を用いて説明する。一般に、FETのゲートに0[V]のバイアス電圧を印加するとFETはオン状態となり、ドレイン電極ソース電極間インピーダンスは抵抗性の低インピーダンスとなる。逆に、FETのゲートにピンチオフ電圧相当のバイアス電圧を印加するとFETはオフ状態となり、ドレインとソース間インピーダンスは容量性の高インピーダンスとなる。この特性を利用してFETを高周波信号に対してスイッチとして利用することができる。ここで、オン状態時の抵抗値及びオフ状態時の容量値はFETの総ゲート電極長に依存しており、使用周波数に応じて予め所望の値とすることが可能である。

【0005】 まず、第1のFET1及び第3のFET5のゲート電極29a、29cにピンチオフ電圧を印加し、第2のFET3及び第4のFET6のゲート電極29b、29dに0[V]を印加すると、第1のFET1のドレイン電極27aとソース電極28a間及び第3のFET5のドレイン電極27cとソース電極28c間は容量性の高インピーダンス（オフ状態）となり、一方第2のFET3のドレイン電極27bとソース電極28b及び第4のFET6のドレイン電極27dとソース電極28d間は抵抗性の低インピーダンス（オン状態）となる。この状態で、入力端子10より入力する高周波信号は、オン状態となっている第2のFET3、基準伝送線路25及びオン状態となっている第4のFET6を通過して出力端子11より出力する。

【0006】 次に、第1のFET1及び第3のFET5のゲート電極29a、29cに0[V]を印加し、第2のFET3及び第4のFET6のゲート電極29b、29dにピンチオフ電圧を印加すると、入力端子10より入力する高周波信号は、オン状態となっている第1のFET1、遅延伝送線路26及びオン状態となっている第3のFET5を通過して出力端子11より出力する。このときの入力端子10から出力端子11までの高周波信号の通過位相量は、上記の基準伝送線路25を通過した場合の通過位相量に対し、基準伝送線路25と遅延伝送線路26との通過位相差分だけ遅れ位相となる。

【0007】 このように、第1から第4のFETのオン状態とオフ状態を、ゲート電極29に印加する電圧によって制御することにより、高周波信号の通過経路を切換え移相器として動作させることができる。

【0008】

【発明が解決しようとする課題】 従来の移相器では、以上のように構成されているので、移相量の大きい移相器を得ようすると基準伝送線路と遅延伝送線路との通過位相差、すなわち線路パターン長差を大きくとる必要があるため回路の大型化を招き、また、線路長延長に伴う

9

設定位相の周波数特性が大きくなるなどの課題があった。

【0009】この発明は上記のような課題を解決するためになされたもので、小型で周波数特性の小さい移相器を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明の実施例1による移相器においては、キャパシタを並列に装荷した第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ直列に配置し、キャパシタを並列に装荷した第5のFETとインダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0011】また、この発明の実施例2による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ直列に配置し、キャパシタを並列に装荷した第5のFETとインダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0012】また、この発明の実施例3による移相器においては、キャパシタを並列に装荷した第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ直列に配置し、第5のFETと、インダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0013】また、この発明の実施例4による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ直列に配置し、第5のFETと、インダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0014】また、この発明の実施例5による移相器においては、インダクタを並列に装荷した第1のFETを入出力端を結ぶ主線路に対し2つ直列に配置し、第5のFETと、インダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0015】また、この発明の実施例6による移相器においては、キャパシタを並列に装荷したFETを入出力端を結ぶ主線路に対し2つ直列に配置し、第5のFETと、インダクタを並列に装荷した第6のFETとを直列

10

に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0016】また、この発明の実施例7による移相器においては、第1のFETと第2のFETとを入出力端を結ぶ主線路に対し直列に配置し、第3のFETと、インダクタを並列に装荷した第4のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0017】また、この発明の実施例8による移相器においては、キャパシタを並列に装荷した第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、キャパシタを並列に装荷した第5のFETとインダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0018】また、この発明の実施例9による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、キャパシタを並列に装荷した第5のFETとインダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0019】また、この発明の実施例10による移相器においては、キャパシタを並列に装荷した第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、第5のFETとインダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0020】また、この発明の実施例11による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、第5のFETとインダクタを並列に装荷した第6のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0021】また、この発明の実施例12による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、キャパシタを並列に装荷した第5のFETを入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

11

【0022】また、この発明の実施例13による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、第5のFETを入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0023】また、この発明の実施例14による移相器においては、第1のFETとインダクタを並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し2つ並列に配置し、インダクタを並列に装荷した第5のFETを入出力端を結ぶ主線路に対し直列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0024】また、この発明の実施例15による移相器においては、キャパシタを並列に装荷した第1のFETとインダクタを並列に装荷した第2のFETとを入出力端を結ぶ主線路に対し直列に配置し、第3のFETとインダクタを並列に装荷した第4のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0025】また、この発明の実施例16による移相器においては、第2のFETとインダクタを並列に装荷した第1のFETとを入出力端を結ぶ主線路に対し直列に配置し、第3のFETとインダクタを並列に装荷した第4のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0026】また、この発明の実施例17による移相器においては、インダクタを並列に装荷した第1のFETを入出力端を結ぶ主線路に対し直列に配置し、第2のFETとインダクタを並列に装荷した第3のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0027】また、この発明の実施例18による移相器においては、キャパシタを並列に装荷した第1のFETを入出力端を結ぶ主線路に対し直列に配置し、第2のFETとインダクタを並列に装荷した第3のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0028】また、この発明の実施例19による移相器においては、第1のFETを入出力端を結ぶ主線路に対し直列に配置し、第2のFETとインダクタを並列に装荷した第3のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し並列に配置し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0029】また、この発明の実施例20による移相器

12

においては、FETに並列に装荷されるインダクタ用線路パターンの両端を、FETの指交差状に形成されているソース電極パターンとドレイン電極パターンとに接続した。

【0030】また、この発明の実施例21による移相器においては、FETに並列に装荷されるキャパシタの入出力端を形成する線路パターンを、FETの指交差状に形成されているソース電極パターンとドレイン電極パターンとに接続した。

【0031】また、この発明の実施例22による移相器においては、FETを形成する指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを形成し、残るソース電極パターンとドレイン電極パターンとを接続してインダクタを形成するようにした。

【0032】また、この発明の実施例23による移相器においては、FETを形成する指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを形成し、残るソース電極パターンとドレイン電極パターンとの間にMetal insulator Metalコンデンサ（以下MIMコンデンサ）を形成するようにした。

【0033】また、この発明の実施例24による移相器においては、FETを形成する指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを形成し、残るソース電極パターンとドレイン電極パターンとの間隙を用いてインダーデジタルキャパシタを形成するようにした。

【0034】また、この発明の実施例25による移相器においては、FETのソース電極またはドレイン電極キャパシタを介して接地されるようにした。

【0035】

【作用】この発明の実施例1によれば、インダクタもしくはキャパシタが並列に装荷されたFETのゲート電極に所定のバイアス電圧を印加してFETのオン状態とオフ状態との組合せを選択することにより、インダクタ及びキャパシタより構成されるT型位相遅れ回路とT型位相進み回路とを切替える。

【0036】また、この発明の実施例2によれば、FETのオフ状態でドレイン電極とソース電極間に発生する容量成分と、FETに並列に装荷されたキャパシタ及びインダクタとを利用して、FETのオン状態とオフ状態との組合せを選択することにより、インダクタ及びキャパシタより構成されるT型位相遅れ回路とT型位相進み回路とを切替える。

【0037】また、この発明の実施例3によれば、FETのオフ状態でドレイン電極とソース電極間に発生する容量成分と、FETに並列に装荷されたキャパシタ及びインダクタとを利用して、FETのオン状態とオフ状態との組合せを選択することにより、インダクタ及びキャ

14

る容量成分と、FETに並列に装荷されたインダクタとを利用して、FETのオン状態とオフ状態との組合せを選択することにより、インダクタ及びキャパシタより構成される π 型位相遅れ回路と π 型位相進み回路とを切換える。

【0046】また、この発明の実施例12によれば、FETのオフ状態でドレイン電極とソース電極間に発生する容量成分と、FETに並列に装荷されたキャパシタ及びインダクタとを利用して、FETのオン状態とオフ状態との組合せを選択することにより、通過回路とインダクタ及びキャパシタより構成されるπ型位相進み回路とを切替える。

【００４７】また、この発明の実施例１３によれば、ＦＥＴのオフ状態でドレイン電極とソース電極間に発生する容量成分と、ＦＥＴに並列に装荷されたインダクタとを利用して、ＦＥＴのオン状態とオフ状態との組合せを選択することにより、通過回路とインダクタ及びキャパシタより構成される π 型位相進み回路とを切換える。

20

【００４８】また、この発明の実施例１４によれば、ＦＥＴのオフ状態でドレイン電極とソース電極間に発生する容量成分と、ＦＥＴに並列に装荷されたインダクタとを利用して、ＦＥＴのオン状態とオフ状態との組合せを選択することにより、通過回路とインダクタ及びキャパシタより構成されるπ型位相遅れ回路を切替える。

30

【００４９】また、この発明の実施例１５によれば、ＦＥＴのオフ状態でドレイン電極とソース電極間に発生する容量成分と、ＦＥＴに並列に装荷されたキャパシタ及びインダクタとを利用して、ＦＥＴのオン状態とオフ状態との組合せを選択することにより、インダクタ及びキャパシタより構成されるＬＣ型位相遅れ回路とＬＣ型位相進み回路とを切換える。

【００５０】また、この発明の実施例１６によれば、ＦＥＴのオフ状態でドレイン電極とソース電極間に発生する容量成分と、ＦＥＴに並列に装荷されたインダクタとを利用して、ＦＥＴのオン状態とオフ状態との組合せを選択することにより、インダクタ及びキャパシタより構成されるＬＣ型位相遅れ回路とＬＣ型位相進み回路とを切替える。

40

【００５１】また、この発明の実施例１７によれば、ＦＥＴのオフ状態でドレイン電極とソース電極間に発生する容量成分と、ＦＥＴに並列に装荷されたインダクタとを利用して、ＦＥＴのオン状態とオフ状態との組合せを選択することにより、通過回路とインダクタ及びキャパシタより構成される位相遅れ回路とを切換える。

【００５２】また、この発明の実施例１８によれば、ＦＥＴのオフ状態でドレイン電極とソース電極間に発生する容量成分と、ＦＥＴに並列に装荷されたキャパシタ及びインダクタとを利用して、ＦＥＴのオン状態とオフ状態との組合せを選択することにより、通過回路とインダクタ及びキャパシタより構成される位相進み回路とを切

換える。

【0053】また、この発明の実施例19によれば、FETのオフ状態でドレイン電極とソース電極間に発生する容量成分と、FETに並列に装荷されたインダクタとを利用して、FETのオン状態とオフ状態との組合せを選択することにより、通過回路とインダクタ及びキャパシタより構成される位相進み回路とを切換える。

【0054】また、この発明の実施例20によれば、FETに並列に装荷されるインダクタ用線路パターンを指交差状に形成されるソース電極パターンとドレイン電極パターンとに接続することで、インダクタ用線路パターンが短く配置できるようにした。

【0055】また、この発明の実施例21によれば、FETに並列に装荷されるキャパシタの入出力端を形成する線路パターンを指交差状に形成されるソース電極パターンとドレイン電極パターンとに接続することで、キャパシタの入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に短く配置できるようにした。

【0056】また、この発明の実施例22によれば、FETのソース電極パターンとドレイン電極パターンとの一部を接続し、インダクタを形成する線路パターンとしたことにより、インダクタ用線路パターンをソース及びドレインの両電極パターン間に更に短くして配置できる。

【0057】また、この発明の実施例23によれば、FETのソース電極パターンとドレイン電極パターンとの間隙の一部に、MIMコンデンサを設けたことにより、キャパシタの入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に更に短くして配置できる。

【0058】また、この発明の実施例24によれば、FETのソース電極パターンとドレイン電極パターンとの間隙の一部に、インターデジタルキャパシタとしたことにより、容易にキャパシタを実現できるとともに、キャパシタの入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に更に短くして配置できる。

【0059】また、この発明の実施例25によれば、FETのソース電極またはドレイン電極を直流的に接地せずに構成したので、ゲート電極の制御を任意の電圧で行える。

【0060】

【実施例】

実施例1. 以下にこの発明の実施例1を図について説明する。図1はこの発明の実施例1を示す回路図である。図において、1は第1のキャパシタ2aが並列に装荷された第1のFET、3は第1のインダクタ4aが並列に装荷された第2のFET、5は第2のキャパシタ2bが並列に装荷された第3のFET、6は第2のインダクタ

4bが並列に装荷された第4のFET、7は第3のキャパシタ2cが並列に装荷された第5のFET、8は第3のインダクタ4cが並列に装荷された第6のFET、9は接地である。

【0061】つぎに、図1を用い動作について説明する。従来の実施例で説明したように、FETのゲート電極に印加する電圧を制御することでFETをオン状態とオフ状態に切換えることができる。まず、第2のFET3、第4のFET6及び第5のFET7をオン状態にし、第1のFET1、第3のFET5及び第6のFET8をオフ状態とすると、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなるために、高周波信号は並列に装荷した回路側を通過する。よってこのときの移相器の等価回路は、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図2(a)のように第1のキャパシタ2a、第2のキャパシタ2b及び第3のインダクタ4cによりT型ハイパスフィルタを構成し位相進み回路として作用する。

【0062】つぎに、第2のFET3、第4のFET6及び第5のFET7をオフ状態にし、第1のFET1、第3のFET5及び第6のFET8をオン状態とする。このときの移相器の等価回路は、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図2(b)のように第1のインダクタ4a、第2のインダクタ4b及び第3のキャパシタ2cによりT型ローパスフィルタを構成し位相遅れ回路として作用する。

【0063】このように、FETのオン状態とオフ状態とを制御し、T型位相進み回路とT型位相遅れ回路とを切換えることにより、両回路の通過位相差分の移相を行うことができる。本実施例の場合、移相回路をMIMコンデンサ等の集中定数素子を用い構成しているため、大きい移相量が必要な場合でも、従来例のように移相量に比例して線路パターン長を長くする必要がなく、移相回路を構成する集中定数素子の定数を変更することで対応可能であることから小型化が実現でき、また遅れ位相回路と進み位相回路とで逆の周波数特性をもたせる等して周波数特性の小さい移相器の設計が容易となる。

【0064】実施例2. 図3はこの発明の実施例2を示す回路図であり、図1における第1のキャパシタ2a及び第2のキャパシタ2bがないことが実施例1と異なる点である。

【0065】実施例1では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてT型位相進み回路を構成したが、実施例2においては、実施例1における第1のキャパシタ2a及び第2のキャパシタ2bの代わりに、FETのオフ状態における容量成分を

17

T型位相進み回路を構成するキャパシタとして利用する。ここで、図2(a)に示すT型位相進み回路による位相進み量を θ_1 、周波数を f とすれば、第1のキャパシタ2a及び第2のキャパシタ2bのキャパシタ値 C_1 は数1により求まることが知られている。

【0066】

【数1】

$$C_1 = \frac{1}{50 \cdot 2 \cdot \pi \cdot f \cdot \tan\left(\frac{\theta_1}{2}\right)} \quad [pF]$$

【0067】一般的にFETのオフ状態時の容量成分は数 pF 以下の小さい値となるが、数1から判るように、必要とする位相進み量が大きくなるほど、あるいは信号周波数が高くなるほど C_1 の値は小さくなるため、大きい移相量を得たい場合やより高周波数の信号に対して移相を行いたい場合は、FETのオフ状態時の容量成分を用いてT型位相進み回路が構成可能となる。また、この容量成分はFETの総ゲート電極長に依存しており、この総ゲート電極長の設定により所望のキャパシタ値とすることも可能である。動作については、T型位相進み回路を構成するキャパシタを第1のFET1、第3のFET5のオフ状態での容量により実現する点を除けば実施例1と同様である。

【0068】このように、実施例2のような構成とすれば、移相量を大きくとりたい場合や高周波で使用したい場合に、FETに並列に装荷するキャパシタが不要となり小型化ができ、またキャパシタを並列に装荷するための引出し線路パターンに伴う寄生インダクタ成分がなくなることで、高周波数帯における周波数特性劣化の要因を低減できる。

【0069】実施例3。図4はこの発明の実施例3を示す回路図であり、図1における第3のキャパシタ2cがないことが実施例1と異なる点である。

【0070】実施例1では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてT型位相遅れ回路を構成したが、実施例3においては、実施例1における第3のキャパシタ2cの代わりに、FETのオフ状態における容量成分をT型位相遅れ回路を構成するキャパシタとして利用する。ここで、図2(b)に示すT型位相遅れ回路による位相遅れ量を θ_2 、周波数を f とすれば、第3のキャパシタ2cのキャパシタ値 C_2 は数2により求まることが知られている。

【0071】

【数2】

$$C_2 = \frac{\sin(\theta_2)}{50 \cdot 2 \cdot \pi \cdot f} \quad [pF]$$

18

【0072】一般的にFETのオフ状態時の容量成分は数 pF 以下の小さい値となるが、数2から判るように、必要とする位相遅れ量が小さくなるほど、あるいは信号周波数が高くなるほど C_2 の値は小さくなるため、小さい移相量を得たい場合やより高周波数の信号に対して移相を行いたい場合は、FETのオフ状態時の容量成分を用いてT型位相遅れ回路が構成可能となる。動作については、T型位相遅れ回路を構成するキャパシタを第5のFET7のオフ状態での容量により実現する点を除けば実施例1と同様である。

【0073】このように、実施例3のような構成とすれば、移相量を小さくとりたい場合や高周波で使用したい場合に、FETに並列に装荷するキャパシタが不要となり小型化ができ、またキャパシタを並列に装荷するための引出し線路パターンに伴う寄生インダクタ成分がなくなることで、高周波数帯における周波数特性劣化の要因を低減できる。

【0074】実施例4。図5はこの発明の実施例4を示す回路図であり、図1における第1のキャパシタ2a、第2のキャパシタ2b及び第3のキャパシタ2cがないことが実施例1と異なる点である。

【0075】実施例1では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてT型位相回路を構成したが、実施例4においては、実施例1におけるキャパシタ2の代わりに、FETのオフ状態における容量成分をT型位相回路を構成するキャパシタとして利用する。前述したように、図2に示すT型位相回路による位相進み量 θ_1 及び位相遅れ量 θ_2 は数1及び数2により求まる。

【0076】一般的にFETのオフ状態時の容量成分は数 pF 以下の小さい値となるが、数1及び数2から判るように、移相器として使用する周波数が高いほど C_1 及び C_2 の値は小さくなるため、このような高周波数帯で動作をさせる場合はFETのオフ状態時の容量成分によりT型位相回路が構成可能となる。動作については、T型位相回路を構成するキャパシタを第1のFET1、第3のFET5及び第5のFET7のオフ状態での容量により実現する点を除けば実施例1と同様である。

【0077】このように、実施例4のような構成とすれば、移相器を高周波数帯で動作させたい場合に、FETに並列に装荷するキャパシタが不要となり小型化ができ、またキャパシタを並列に装荷するための引出し線路パターンに伴う寄生インダクタ成分がなくなることで、高周波数帯における周波数特性劣化の要因を低減できる。

【0078】実施例5。図6はこの発明の実施例5を示す回路図である。実施例1では、T型位相進み回路とT

型位相遅れ回路とをFETのオン状態とオフ状態を用いて切換えて通過位相量を変化させる構成としていたが、実施例5では通過回路とT型位相遅れ回路とを切換える構成とするものである。

【0079】まず、第1のFET1、第2のFET3及び第3のFET5をオン状態にし、第4のFET6をオフ状態として通過回路を構成する。この状態での等価回路は、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなり高周波信号は遮断されるため、FETのオン状態での抵抗値が十分小さいとして省略すれば図7(a)のようになる。ここで、第3のインダクタ4cの定数を高周波信号に対しインピーダンスが十分大きくなる値にしておけば、この第3のインダクタ4cは高周波信号に対して遮断の作用をする。すなわち入力端子10と出力端子11とを結ぶ主線路に対して並列に接続される第3のFET5と第4のFET6は開放端と見なせるため図7(a)の等価回路は、図7(b)の等価回路と見なすことができ通過回路として作用する。

【0080】つぎに、第1のFET1、第2のFET3及び第3のFET5をオフ状態にし、第4のFET6をオン状態として位相遅れ回路を構成する。この状態での等価回路は、FETのオン状態での抵抗値が十分小さいとして省略すれば図7(c)のようになる。ここで、図7(c)中の第1のキャパシタ2aは、第3のFET5のオフ状態における容量成分である。このように、FETのオン状態とオフ状態とを制御し、通過回路とT型位相遅れ回路とを切換えることにより、両回路の通過位相差分の移相を行うことができる。

【0081】実施例5の場合、実施例1の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が小さくでき、且つ小型化が可能となる。

【0082】実施例6. 図8はこの発明の実施例6を示す回路図である。実施例6では通過回路とT型位相進み回路とを切換える構成とするものである。まず、第1のFET1、第2のFET3及び第4のFET6をオン状態にし、第3のFET5をオフ状態として通過回路を構成する。この状態での等価回路は、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなり高周波信号は遮断されるため、FETのオン状態での抵抗値が十分小さいとして省略すれば図9(a)のようになる。このように入力端子10と出力端子11とを結ぶ主線路に対して第3のFET5は開放端と見なせるため通過回路として作用する。ここで、第4のFET6をオン状態としておくのは第3のFET5のオフ状態での容量成分と第1のインダクタ4aとの共振による高周波信号の減衰を防止するためである。

【0083】まず、第1のFET1、第2のFET3及び第4のFET6をオフ状態にし、第3のFET5をオン状態として位相進み回路を構成する。この状態での等価回路は、FETのオン状態での抵抗値が十分小さいとして省略すれば図9(b)のようにT型位相進み回路となる。このように、FETのオン状態とオフ状態とを制御し、通過回路とT型位相進み回路とを切換えることにより、両回路の通過位相差分の移相を行うことができる。実施例6の場合、実施例1の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が小さくでき、且つ小型化が可能となる。

【0084】実施例7. 図10はこの発明の実施例7を示す回路図である。実施例7では実施例6と同様に通過回路とT型位相進み回路とを切換える構成とするものであり、図8における第1のキャパシタ2a及び第2のキャパシタ2bがないことが実施例6と異なる点である。実施例6ではFETに並列に装荷されるキャパシタを用いてT型位相進み回路を構成したが、実施例7においては、実施例6における第1のキャパシタ2a及び第2のキャパシタ2bの代わりに、FETのオフ状態における容量成分をT型位相進み回路を構成するキャパシタとして利用する。動作については、T型位相進み回路を構成するキャパシタを第1のFET1、第2のFET3のオフ状態での容量により実現する点を除けば実施例6と同様である。実施例7の場合、実施例6の構成に比べキャパシタが不要となるため、更に小型化が可能となる。

【0085】実施例8. 以下にこの発明の実施例8を図について説明する。図11はこの発明の実施例8を示す回路図である。実施例8では、実施例1でT型位相遅れ回路とT型位相進み回路とを切換える構成としたのに対し、 π 型位相遅れ回路と π 型位相進み回路とを切換える構成としたものである。

【0086】つぎに、図11を用い動作について説明する。まず、第1のFET1、第3のFET5及び第6のFET8をオン状態にし、第2のFET3、第4のFET6及び第5のFET7をオフ状態とすると、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなるために、高周波信号は並列に装荷した回路側を通過する。よってこのときの移相器の等価回路は、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図12(a)のように第3のキャパシタ2c、第1のインダクタ4a及び第2のインダクタ4bにより π 型ハイパスフィルタを構成し位相進み回路として作用する。

【0087】つぎに、第1のFET1、第3のFET5及び第6のFET8をオフ状態にし、第2のFET3、第4のFET6及び第5のFET7をオン状態とする。

このときの移相器の等価回路は、オン状態でのFETの

抵抗値が十分に小さいとして省略すれば図12(b)のように第3のインダクタ4c、第1のキャパシタ2a及び第2のキャパシタ2bによりπ型ローパスフィルタを構成し位相遅れ回路として作用する。

【0088】このように、FETのオン状態とオフ状態とを制御し、π型位相進み回路とπ型位相遅れ回路とを切替えることにより、両回路の通過位相差分の移相を行うことができ、また移相器を集中定数素子を用い構成できるため実施例1と同様の効果を得ることができる。

【0089】実施例9. 図13はこの発明の実施例9を示す回路図であり、図11における第1のキャパシタ2a及び第2のキャパシタ2bがないことが実施例8と異なる点である。

【0090】実施例8では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてπ型位相遅れ回路を構成したが、実施例9においては、実施例8における第1のキャパシタ2a及び第2のキャパシタ2bの代わりに、FETのオフ状態における容量成分をπ型位相遅れ回路を構成するキャパシタとして利用する。ここで、図12(b)に示すπ型位相遅れ回路による位相遅れ量をθ3、周波数をfとすれば、第1のキャパシタ2a及び第2のキャパシタ2bのキャパシタ値C3は数3により求まることが知られている。

【0091】

【数3】

$$C3 = \frac{\tan\left(\frac{\theta 3}{2}\right)}{50 \cdot 2 \cdot \pi \cdot f} \quad [pF]$$

【0092】一般的にFETのオフ状態時の容量成分は数pF以下の小さい値となるが、数3から判るように、必要とする位相遅れ量が小さくなるほど、あるいは信号周波数が高くなるほどC3の値は小さくなるため、小さい移相量を得たい場合やより高周波数の信号に対して移相を行いたい場合は、FETのオフ状態時の容量成分を用いπ型位相遅れ回路が構成可能となる。また、この容量成分はFETの総ゲート電極長に依存しており、この総ゲート電極長の設定により所望のキャパシタ値とすることも可能である、動作については、π型位相遅れ回路を構成するキャパシタを第1のFET1及び第3のFET5のオフ状態での容量により実現する点を除けば実施例1と同様である。

【0093】このように、実施例9のような構成とすれば、移相量を小さくとりたい場合や高周波で使いたい場合に、FETに並列に装荷するキャパシタが不要となり小型化ができ、またキャパシタを並列に装荷するための引出し線路パターンに伴う寄生インダクタ成分がなくなることで、高周波数帯における周波数特性劣化の要因

を低減できる。

【0094】実施例10. 図14はこの発明の実施例10を示す回路図であり、図11における第3のキャパシタ2cがないことが実施例8と異なる点である。

【0095】実施例8では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてπ型位相進み回路を構成したが、実施例9においては、実施例8における第3のキャパシタ2cの代わりに、FETのオフ状態における容量成分をπ型位相進み回路を構成するキャパシタとして利用する。ここで、図12(a)に示すπ型位相進み回路による位相進み量をθ4、周波数をfとすれば、第3のキャパシタ2cのキャパシタ値C4は数4により求まることが知られている。

【0096】

【数4】

$$C4 = \frac{1}{50 \cdot 2 \cdot \pi \cdot f \cdot \sin(\theta 4)} \quad [pF]$$

【0097】一般的にFETのオフ状態時の容量成分は数pF以下の小さい値となるが、数4から判るように、必要とする位相進み量が大きくなるほど、あるいは信号周波数が高くなるほどC4の値は小さくなるため、大きい移相量を得たい場合やより高周波数の信号に対して移相を行いたい場合は、FETのオフ状態時の容量成分を用いπ型位相進み回路が構成可能となる。動作については、π型位相進み回路を構成するキャパシタを第5のFET7のオフ状態での容量により実現する点を除けば実施例8と同様である。

【0098】このように、実施例10のような構成とすれば、移相量を大きくとりたい場合や高周波で使いたい場合に、FETに並列に装荷するキャパシタが不要となり小型化ができ、またキャパシタを並列に装荷するための引出し線路パターンに伴う寄生インダクタ成分がなくなることで、高周波数帯における周波数特性劣化の要因を低減できる。

【0099】実施例11. 図15はこの発明の実施例11を示す回路図であり、図11における第1のキャパシタ2a、第2のキャパシタ2b及び第3のキャパシタ2cがないことが実施例8と異なる点である。

【0100】実施例8では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてπ型位相回路を構成したが、実施例11においては、実施例8におけるキャパシタ2の代わりに、FETのオフ状態における容量成分をπ型移相回路を構成するキャパシタと

して利用する。前述したように、図12に示す π 型移相回路による位相遅れ量 θ_3 及び位相進み量 θ_4 は数3及び数4により求まる。

【0101】一般的にFETのオフ状態時の容量成分は数pF以下の小さい値となるが、数3及び数4から判るように、移相器として使用する周波数が高いほどC3及びC4の値は小さくなるため、このような高周波数帯で動作をさせる場合はFETのオフ状態時の容量成分により π 型移相回路が構成可能となる。動作については、 π 型移相回路を構成するキャパシタを第1のFET1、第3のFET5及び第5のFET7のオフ状態での容量により実現する点を除けば実施例8と同様である。

【0102】このように、実施例11のような構成とすれば、移相器を高周波数帯で動作させたい場合に、FETに並列に装荷するキャパシタが不要となり小型化ができ、またキャパシタを並列に装荷するための引出し線路パターンに伴う寄生インダクタ成分がなくなること、高周波数帯における周波数特性劣化の要因を低減できる。

【0103】実施例12、図16はこの発明の実施例12を示す回路図である。実施例8では、 π 型位相進み回路と π 型位相遅れ回路とをFETのオン状態とオフ状態を用いて切換えて通過位相量を変化させる構成としていたが、実施例12では通過回路と π 型位相進み回路とを切換える構成とするものである。

【0104】まず、第2のFET3、第4のFET6及び第5のFET7をオン状態にし、第1のFET1及び第3のFET5をオフ状態として通過回路を構成する。この状態での等価回路は、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなり高周波信号は遮断されるため、FETのオン状態での抵抗値が十分小さいとして省略すれば図17(a)のようになる。このように入力端子10と出力端子11とを結ぶ主線路に対して、第1のFET1と第3のFET5は開放端と見なせるため通過回路として作用する。ここで、第2のFET3及び第4のFET6をオン状態としておくのは、第1のFET1のオフ状態での容量成分と第1のインダクタ4aとの共振による高周波信号の減衰、及び第3のFET5のオフ状態での容量成分と第2のインダクタ4bとの共振による高周波信号の減衰を防止するためである。

【0105】つぎに、第2のFET3、第4のFET6及び第5のFET7をオフ状態にし、第1のFET1及び第3のFET5をオン状態として位相進み回路を構成する。この状態での等価回路は、FETのオン状態での抵抗値が十分小さいとして省略すれば図17(b)のようになり π 型位相進み回路として作用する。このように、FETのオン状態とオフ状態とを制御し、通過回路と π 型位相進み回路とを切換えることにより、両回路の

通過位相差分の移相を行うことができる。

【0106】実施例12の場合、実施例8の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が小さくでき、且つ小型化が可能となる。

【0107】実施例13、図18はこの発明の実施例13を示す回路図である。実施例13では実施例12と同様に通過回路と π 型位相進み回路とを切換える構成とするものであり、図16における第1のキャパシタ2aがないことが実施例12と異なる点である。実施例12ではFETに並列に装荷されるキャパシタを用いて π 型位相進み回路を構成したが、実施例13においては、実施例12における第1のキャパシタ2aの代わりに、FETのオフ状態における容量成分を π 型位相進み回路を構成するキャパシタとして利用する。動作については、 π 型位相進み回路を構成するキャパシタを第5のFET7のオフ状態での容量により実現する点を除けば実施例12と同様である。実施例13の場合、実施例12の構成に比べキャパシタが不要となるため、更に小型化が可能となる。

【0108】実施例14、図19はこの発明の実施例14を示す回路図である。実施例8では、 π 型位相進み回路と π 型位相遅れ回路とをFETのオン状態とオフ状態を用いて切換えて通過位相量を変化させる構成としていたが、実施例14では通過回路と π 型位相遅れ回路とを切換える構成とするものである。

【0109】まず、第1のFET1、第3のFET5及び第5のFET7をオン状態にし、第2のFET3及び第4のFET6をオフ状態として通過回路を構成する。この状態での等価回路は、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなり高周波信号は遮断されるため、FETのオン状態での抵抗値が十分小さいとして省略すれば図20(a)のようになる。ここで、第1のインダクタ4a及び第2のインダクタ4bの定数を高周波信号に対しインピーダンスが十分大きくなる値にしておけば、これら第1のインダクタ4a及び第2のインダクタ4bは高周波信号に対して遮断の作用をする。すなわち入力端子10と出力端子11とを結ぶ主線路に対して並列に接続される第1のFET1及び第3のFET5は開放端と見なせるため図20(a)の等価回路は、図20(b)の等価回路と見なすことができ通過回路として作用する。

【0110】つぎに、第1のFET1、第3のFET5及び第5のFET7をオフ状態にし、第2のFET3及び第4のFET6をオン状態として位相遅れ回路を構成する。この状態での等価回路は、FETのオン状態での抵抗値が十分小さいとして省略すれば図20(c)のようになり位相遅れ回路として作用する。ここで、図20(c)中の第1のキャパシタ2aは第1のFET1のオ

フ状態における容量成分であり、また第2のキャパシタ2bは第3のFET5のオフ状態における容量成分である。このように、FETのオン状態とオフ状態とを制御し、通過回路と π 型位相遅れ回路とを切替えることにより、両回路の通過位相差分の移相を行うことができる。

【0111】実施例14の場合、実施例8の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が小さくでき、且つ小型化が可能となる。

【0112】実施例15。以下にこの発明の実施例15を図について説明する。図21はこの発明の実施例15を示す回路図である。実施例15では、実施例1でT型位相遅れ回路とT型位相進み回路とを切替える構成としたのに対し、インダクタLとキャパシタCによるLC型位相遅れ回路とLC型位相進み回路とを切替える構成としたものである。

【0113】まず、第2のFET3、第4のFET6をオン状態にし、第1のFET1、第3のFET5をオフ状態とすると、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなるために、高周波信号は並列に装荷した回路側を通過する。よってこのときの移相器の等価回路は、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図22(a)のように第1のインダクタ4a及び第3のFET5のオフ状態における容量成分による第2のキャパシタ2bによりLC型ローパスフィルタを構成し位相遅れ回路として作用する。

【0114】つぎに、第2のFET3、第4のFET6をオフ状態にし、第1のFET1、第3のFET5をオン状態とする。このときの移相器の等価回路は、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図22(b)のように第2のインダクタ4b、第1のキャパシタ2aによりLC型ハイパスフィルタを構成し位相進み回路として作用する。

【0115】このように、FETのオン状態とオフ状態とを制御し、LC型位相進み回路とLC型位相遅れ回路とを切替えることにより、両回路の通過位相差分の移相を行うことができ、また移相器を集中定数素子を用い構成できるため実施例1と同様の効果を期待できるうえ、実施例1の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が小さくでき、且つ小型化が可能となる。

【0116】実施例16。図23はこの発明の実施例16を示す回路図であり、図21における第1のキャパシタ2aがないことが実施例15と異なる点である。

【0117】実施例15では、FETのゲート電極にピンチオフ電圧を印加することで発生するドレイン電極とソース電極間の容量成分を、通過する高周波信号に対し

高インピーダンス、すなわち遮断となるように設定し、このFETに並列に装荷されるキャパシタを用いてLC型位相進み回路を構成したが、実施例16においては、実施例15における第1のキャパシタ2aの代わりに、FETのオフ状態における容量成分をLC型位相進み回路を構成するキャパシタとして利用する。動作については、LC型位相進み回路を構成するキャパシタを第2のFET3のオフ状態での容量により実現する点を除けば実施例15と同様である。実施例16の場合、実施例15の構成に比べキャパシタが不要となるため、更に小型化が可能となる。

【0118】実施例17。図24はこの発明の実施例17を示す回路図である。実施例15では、LC型位相進み回路とLC型位相遅れ回路とをFETのオン状態とオフ状態を用いて切替えて通過位相量を変化させる構成としていたが、実施例17では通過回路とLC型位相遅れ回路とを切替える構成としたものである。

【0119】まず、第1のFET1、第2のFET3をオン状態にし、第3のFET5をオフ状態として通過回路を構成する。この状態での等価回路は、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなり高周波信号は遮断されるため、FETのオン状態での抵抗値が十分に小さいとして省略すれば図25(a)のようになる。ここで、第2のインダクタ4bの定数を高周波信号に対しインピーダンスが十分大きくなる値にしておけば、この第2のインダクタ4bは高周波信号に対して遮断の作用をする。すなわち入力端子10と出力端子11とを結ぶ主線路に対して並列に接続される第2のFET3は開放端と見なせるため図25(a)の等価回路は、図25(b)の等価回路と見なすことができ通過回路として作用する。

【0120】つぎに、第1のFET1、第2のFET3をオフ状態にし、第3のFET5をオン状態として位相遅れ回路を構成する。この状態での等価回路は、FETのオン状態での抵抗値が十分に小さいとして省略すれば図25(c)のようになる。ここで、図25(c)中の第1のキャパシタ2aは、第2のFET3のオフ状態における容量成分である。このように、FETのオン状態とオフ状態とを制御し、通過回路とLC型位相遅れ回路とを切替えることにより、両回路の通過位相差分の移相を行うことができる。

【0121】実施例17の場合、実施例15の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が更に小さくでき、且つ小型化が可能となる。

【0122】実施例18。図26はこの発明の実施例18を示す回路図である。実施例18では通過回路とLC型位相進み回路とを切替える構成とするものである。まず、第1のFET1、第3のFET5をオン状態にし、

第2のFET3をオフ状態として通過回路を構成する。この状態での等価回路は、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなり高周波信号は遮断されるため、FETのオン状態での抵抗値が十分小さいとして省略すれば図27(a)のようになる。このように入力端子10と出力端子11とを結ぶ主線路に対して第2のFET3は開放端と見なせるため通過回路として作用する。ここで、第3のFET5をオン状態としておくのは第2のFET3のオフ状態での容量成分と第1のインダクタ4aとの共振による高周波信号の減衰を防止するためである。

【0123】つぎに、第1のFET1、第3のFET5をオフ状態にし、第2のFET3をオン状態として位相進み回路を構成する。この状態での等価回路は、FETのオン状態での抵抗値が十分小さいとして省略すれば図27(b)のようになる。このように、FETのオン状態とオフ状態を制御し、通過回路と位相進み回路とを切替えることにより、両回路の通過位相差分の移相を行うことができる。実施例18の場合、実施例15の構成に比べて入力端子10と出力端子11とを結ぶ主線路に直列に接続されるFETの数量が減るため、移相器としての通過損失が更に小さくでき、且つ小型化が可能となる。

【0124】実施例19、図28はこの発明の実施例19を示す回路図である。実施例19では実施例18と同様に通過回路とLC型位相進み回路とを切替える構成とするものであり、図24における第1のキャパシタ2aがないことが実施例18と異なる点である。実施例18ではFETに並列に装荷されるキャパシタを用いてLC型位相進み回路を構成したが、実施例19においては、実施例18における第1のキャパシタ2aの代わりに、FETのオフ状態における容量成分をLC型位相進み回路を構成するキャパシタとして利用する。動作については、LC型位相進み回路を構成するキャパシタを第1のFET1のオフ状態での容量により実現する点を除けば実施例18と同様である。実施例19の場合、実施例18の構成に比べキャパシタが不要となるため、更に小型化が可能となる。

【0125】実施例20、図29はこの発明の実施例20を示す回路図であり、実施例1で説明した図1中第1のインダクタ4aが装荷された第2のFET3を示す構造図である。図において第2のFET3の電極構造は、短冊形状のドレイン電極パターン12と、同じく短冊形状をしたソース電極パターン13とを複数本指交差状に配置し、ドレイン電極パターン12とソース電極パターン13との間にゲート電極パターン14を配置した構になっている。また、ゲート電極パターン14は相互に接続されかつ外部に引き出されており、ソース電極パターン13はゲート電極パターン14との競合・干渉を避

けるため、エアブリッジ15aを介して他のFETとの接続パターン19aに接続されている。

【0126】次いで、18は図1における第1のインダクタ4aに相当するインダクタ用線路パターンであり、このインダクタ用線路パターン18の一端は、ドレイン電極パターン12aの先端部に接続され、他端は、ソース電極パターン13aの先端部にエアブリッジ16により接続されている。更に、くし形状に配置されている複数のドレイン電極パターン12どうしをエアブリッジ17にて橋絡接続しており、同様にソース電極パターン13どうしをエアブリッジ16にて橋絡接続した構造となっている。

【0127】以上のような構造とすれば、例えばインダクタ用線路パターン18の両端を、隣接するFETとの接続パターン19a及び19bから引出す場合に比べ、インダクタ用線路パターン18の占有面積が小さくでき、また、隣接する回路との電氣的干渉を低減できるため、インダクタ用線路パターン18の配置に影響されない安定した電気特性が得られる。

【0128】更に、一般的に所望の移相量を得るために必要とされるインダクタ量は、使用周波数が高くなるほど小さい値となる。そこで図29のような構造であれば、インダクタ用線路パターン18がより短く配置できるため、設計時のインダクタ量に対する制限が軽減でき、高周波でも安定して動作する移相器が得られる。

【0129】ここでは、図1中のインダクタ4aの構造を例にとって説明したが、他のインダクタについても同様の構造で、同様の動作が可能である。また、図29では、ドレイン電極パターン12どうしをエアブリッジ17にて接続し、ソース電極パターン13どうしをエアブリッジ13にて接続しているが、エアブリッジ16、17による寄生インダクタ成分を低減したい場合等は、インダクタ用線路パターン18の両端を、ドレイン電極パターン12の少なくとも1本以上と、ソース電極パターン13の少なくとも1本以上とに接続しても同様な動作が可能である。

【0130】実施例21、図30はこの発明の実施例21を示す構造図であり、実施例1で説明した図1中第1のキャパシタ2aが装荷された第1のFET1を示す構造図である。図において第1のFET1の電極構造は、実施例20で説明した第2のFET3と同様の構造をしている。また、20は図1における第1のキャパシタ2aに相当する以下MIMコンデンサであり、このMIMコンデンサ20は端子用線路パターン21により第2のFET3に接続されている。

【0131】端子用線路パターン21aは、ドレイン電極パターン12aの先端部に接続され、端子用線路パターン21bは、ソース電極パターン13aの先端部にエアブリッジ16により接続されている。更に、くし形状に配置されている複数のドレイン電極パターン12どう

しをエアブリッジ17にて橋絡接続しており、同様にソース電極パターン13どうしをエアブリッジ16にて橋絡接続した構造となっている。

【0132】以上のような構造とすれば、例えば端子用線路パターン21を、隣接するFETとの接続パターン19a及び19bから引出す場合に比べ、端子用線路パターン21の線路長を極力短くできるため配置上小型化が可能となり、更に、周波数特性を劣化させる要因である端子用線路パターン21に伴う寄生インダクタ成分が低減でき、また、隣接するFETに装荷される回路との電気的干渉も低減できる。

【0133】ここでは、図1中の第1のキャパシタ2aを例にとって説明したが、他のキャパシタについても同様の構造で、同様の動作が可能である。また、図30では、ドレイン電極パターン12どうしをエアブリッジ17にて接続し、ソース電極パターン13どうしをエアブリッジ16にて接続しているが、エアブリッジ16、17による寄生インダクタ成分を低減したい場合等は、端子用線路パターン21を、ドレイン電極パターン12の少なくとも1本以上と、ソース電極パターン13の少なくとも1本以上とに接続しても同様な動作が可能である。

【0134】実施例22. 図31はこの発明の実施例22を示す回路図であり、実施例1で説明した図1中第1のインダクタ4aが装荷された第2のFET3を示す構造図である。図31において、22aはドレイン電極パターン12aとソース電極パターン13aとの間にゲート電極パターン14aを形成した第1のFETセルであり、22bはドレイン電極パターン12cとソース電極パターン13bとの間にゲート電極パターン14bを形成した第2のFETセルである。また、これら2つのFETセルに挟まれる形で、インダクタ用線路パターン18がエアブリッジ15bを介して接続パターン19aと19bとの間に形成されている。このように、FETの内部にインダクタ用線路パターン18を配置する構造としたため、更に短いインダクタ用線路パターンが実現でき小型化が可能となる。

【0135】実施例23. 図32はこの発明の実施例23を示す回路図であり、実施例1で説明した図1中第1のキャパシタ2aが装荷された第1のFET1を示す構造図である。図32において、22は第1のFETセル22aと第2のFETセル22bに挟まれる形で形成されているMIMコンデンサである。このMIMコンデンサ20は、端子用線路パターン21とエアブリッジ15bとにより接続パターン19と接続されている。このように、FETの内部にMIMコンデンサ20を配置する構造としているため、端子用線路パターン21を更に短くすることができる。

【0136】実施例24. 図33はこの発明の実施例24を示す回路図であり、実施例1で説明した図1中第1

のキャパシタ2aが装荷された第1のFET1を示す構造図である。図33において、23は第1のFETセル22aと第2のFETセル22bに挟まれる形で、ドレイン電極パターン12bとソース電極パターン13との間に形成されているインターデジタルキャパシタである。このように、FETのドレイン電極パターン12bとソース電極パターン13とによりインターデジタルキャパシタ23をFETの内部に実現することで、小型で且つ、MIMコンデンサを使わずにキャパシタを構成することができる。

【0137】実施例25. 図34はこの発明の実施例25を示す回路図である。24は直流遮断用キャパシタであり、第6のFET8のドレイン電極は、直流遮断用キャパシタ24を介して接地されている。

【0138】次に動作について説明する。通常、FETのオンかオフかの状態を決定する電圧はゲート電極とドレイン電極及びソース電極との電位差で決まり、ドレイン電極またはソース電極が接地している構成の場合、ゲート電極は負電圧で制御するのが一般的である。本実施例では、6つのFETのドレイン電極及びソース電極は直流遮断用キャパシタ24により接地されない構成となっているため、図示していないバイアス回路より第1のFET1から第6のFET8までの6つのFETのソース電極及びドレイン電極に正電位の電圧AV(>|ピンチオフ電圧|)を印加すれば、ゲート電圧を0VとAVに切換えることによりFETのドレイン電極とソース電極との間は高周波信号が遮断、通過のスイッチ動作をする。つまり、ゲート電圧の制御を正電位で行うことができるため、例えば通常出力電圧が正電圧であるTTL回路での直接制御が可能となり外部駆動回路も含めて小型化を図ることができる。

【0139】なお、移相器としての動作原理は実施例1の場合と同様であり、直流遮断用キャパシタ24の定数を、移相器として使用する信号使用周波数に対して十分にインピーダンスが小さくなるようにキャパシタ量に設定しておけば、直流的に遮断の作用をするのと同時に高周波信号に対しては接地として作用するので移相器としての動作を損うことはない。また本実施例の場合はT型移相器の例をとって説明したが、この他π型移相器あるいはLC型移相器の場合に適用しても同様の動作で同様の効果が得られる。

【0140】以上、実施例1から実施例25までの移相器で使用しているFETの動作においては、FETを構成するドレイン電極とソース電極とは電気的に等価な働きを行うことから、実施例1から25までの説明におけるソース電極とドレイン電極とを逆としても、同様な効果が得られる。また、実施例1から実施例25までの説明ではインダクタとして線路パターンを用いているが、所望のインダクタ量によってはスパイラルインダクタ等、よりインダクタ量の大きいものを用いてもよい。

【0141】更に、実施例1から実施例25では各々1段構成のT型移相回路、 π 型移相回路、LC型移相回路を用いた移相器の例を示したが、更に段数を増した構成としても同様に移相回路として動作し同様な効果が得られる。

【0142】

【発明の効果】この発明は以上のように構成されているので、以下に記載するような効果がある。

【0143】この発明によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数によるT型位相遅れ回路とT型位相進み回路とを切換える構成としたので、移相量の大きい移相器でも小型にでき、また、位相遅れ回路と位相進み回路とで逆の周波数特性を持たせる等して周波数特性の少ない移相器の設計が可能となる。

【0144】また、この発明によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数によるT型位相遅れ回路とT型位相遅れ回路とを切換える構成とし、大きい移相量を得るために必要な小容量のキャパシタをFETのオフ状態の容量で実現したので、キャパシタ素子数が少ない小型な移相器が得られる。

【0145】また、この発明によれば、移相器の構成をインダクタ及びキャパシタの集中定数によるT型位相遅れ回路とT型位相進み回路とを切換える構成とし、小さい移相量を得るために必要な小容量のキャパシタをFETのオフ状態の容量で実現したので、キャパシタ素子数が少ない小型な移相器が得られる。

【0146】また、この発明によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数によるT型位相遅れ回路とT型位相進み回路とを切換える構成とし、高周波数帯で移相器として動作するために必要な小容量のキャパシタをFETのオフ状態の容量で実現したので、キャパシタ素子数が少なく小型な移相器が得られる。

【0147】また、この発明によれば、移相器の構成を通過回路とインダクタ及びFETのオフ状態の容量の集中定数によるT型位相遅れ回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0148】また、この発明によれば、移相器の構成を通過回路と、インダクタ及びキャパシタの集中定数によるT型位相進み回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0149】また、この発明によれば、移相器の構成を通過回路と、インダクタ及びFETのオフ状態の容量の集中定数によるT型位相進み回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0150】また、この発明によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数による π 型位相遅れ回路と π 型位相進み回路とを切換える構成としたので、

で、移相量の大きい移相器でも小型にでき、また、位相遅れ回路と位相進み回路とで逆の周波数特性を持たせる等して周波数特性の少ない移相器の設計が可能となる。

【0151】また、この発明によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数による π 型位相遅れ回路と π 型位相進み回路とを切換える構成とし、小さい移相量を得るために必要な小容量のキャパシタをFETのオフ状態の容量で実現したので、キャパシタ素子数が少なく小型な移相器が得られる。

【0152】また、この発明の実施例10によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数によるT型位相遅れ回路とT型位相進み回路とを切換える構成とし、大きい移相量を得るために必要な小容量のキャパシタをFETのオフ状態の容量で実現したので、キャパシタ素子数が少なく小型な移相器が得られる。

【0153】また、この発明によれば、移相器の構成をインダクタ及びキャパシタ等の集中定数による π 型位相遅れ回路と π 型位相進み回路とを切換える構成とし、高周波数帯で移相器として動作するために必要な小容量のキャパシタをFETのオフ状態の容量で実現したので、キャパシタ素子数が少なく小型な移相器が得られる。

【0154】また、この発明によれば、移相器の構成を通過回路とインダクタ、キャパシタ及びFETのオフ状態の容量の集中定数による π 型位相進み回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0155】オフ状態の容量の集中定数による π 型位相進み回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0156】また、この発明によれば、移相器の構成を通過回路とインダクタ及びFETのオフ状態の容量等の集中定数によるT型位相遅れ回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0157】また、この発明によれば、移相器の構成をインダクタ、キャパシタ及びFETのオフ状態の容量の集中定数によるLC型位相遅れ回路とLC型位相進み回路とを切換える構成としたので、更に低損失で小型な移相器が得られる。

【0158】また、この発明によれば、移相器の構成をインダクタ及びFETのオフ状態の容量の集中定数によるLC型位相遅れ回路LC型位相進み回路とを切換える構成としたので、キャパシタ素子が不要で更に低損失で小型な移相器が得られる。

【0159】また、この発明によれば、移相器の構成を通過回路とインダクタ及びFETのオフ状態の容量の集中定数によるLC型位相遅れ回路とを切換える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0160】また、この発明によれば、移相器の構成を通過回路とインダクタ及びキャパシタの集中定数による LC 型位相進み回路とを切替える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0161】また、この発明によれば、移相器の構成を通過回路とインダクタ及び FET のオフ状態の容量の集中定数による LC 型位相進み回路とを切替える構成としたので、移相器を構成する回路素子数が少なく低損失で小型な移相器が得られる。

【0162】また、この発明によれば、FET に並列に装荷されるインダクタ用線路パターンを短く配置できるようにしたので、回路を小型化でき、且つ小さいインダクタ量に対する制限が軽減したので、高周波数帯でも安定した動作をする移相器が容易に設計できる。

【0163】また、この発明によれば、FET に並列に装荷されるキャパシタの入出力端を形成する線路パターンを短く配置できるようにしたので、回路を小型化でき、且つ線路パターンによる寄生インダクタ量が低減したことで、周波数特性の少ない移相器の設計が可能となる。

【0164】また、この発明によれば、FET の内部にインダクタ用線路パターンを形成することで、FET に並列に装荷されるインダクタ用線路パターンを更に短く配置できるようにしたので、回路を小型化でき、且つ小さいインダクタ量に対する制限が軽減したことで、高周波数帯でも安定した動作をする移相器が容易に設計できる。

【0165】また、この発明によれば、FET の内部に MIM コンデンサを形成することで、FET に並列に装荷されるキャパシタの入出力端を形成する線路パターンを更に短く配置できるようにしたので、回路を小型化でき、且つ線路パターンによる寄生インダクタ量が低減したことで、周波数特性の少ない移相器の設計が可能となる。

【0166】また、この発明によれば、FET の内部にインターデジタルキャパシタを形成することで、回路を小型化でき、且つ MIM コンデンサ等の回路素子を使わずにキャパシタを容易に構成できる。

【0167】また、この発明によれば、ゲート電圧の制御を任意の電圧で行うことができるため、FET の駆動回路に対する制限が軽減でき、外部駆動回路も含めた移相器の小型化を図ることができる。

【図面の簡単な説明】

【図 1】 この発明の実施例 1 を示す回路図である。

【図 2】 この発明の実施例 1 の動作を説明する回路図である。

【図 3】 この発明の実施例 2 を示す回路図である。

【図 4】 この発明の実施例 3 を示す回路図である。

【図 5】 この発明の実施例 4 を示す回路図である。

【図 6】 この発明の実施例 5 を示す回路図である。

【図 7】 この発明の実施例 5 の動作を説明する回路図である。

【図 8】 この発明の実施例 6 を示す回路図である。

【図 9】 この発明の実施例 6 の動作を説明する回路図である。

【図 10】 この発明の実施例 7 を示す回路図である。

【図 11】 この発明の実施例 8 を示す回路図である。

【図 12】 この発明の実施例 8 の動作を説明する回路図である。

【図 13】 この発明の実施例 9 を示す回路図である。

【図 14】 この発明の実施例 10 を示す回路図である。

【図 15】 この発明の実施例 11 を示す回路図である。

【図 16】 この発明の実施例 12 を示す回路図である。

【図 17】 この発明の実施例 12 の動作を説明する回路図である。

【図 18】 この発明の実施例 13 を示す回路図である。

【図 19】 この発明の実施例 14 を示す回路図である。

【図 20】 この発明の実施例 14 の動作を説明する回路図である。

【図 21】 この発明の実施例 15 を示す回路図である。

【図 22】 この発明の実施例 15 の動作を説明する回路図である。

【図 23】 この発明の実施例 16 を示す回路図である。

【図 24】 この発明の実施例 17 を示す回路図である。

【図 25】 この発明の実施例 17 の動作を説明する回路図である。

【図 26】 この発明の実施例 18 を示す回路図である。

【図 27】 この発明の実施例 18 の動作を説明する回路図である。

【図 28】 この発明の実施例 19 を示す回路図である。

【図 29】 この発明の実施例 20 を示す構造図である。

【図 30】 この発明の実施例 21 を示す構造図である。

【図 31】 この発明の実施例 22 を示す構造図である。

【図 32】 この発明の実施例 23 を示す構造図である。

【図 33】 この発明の実施例 24 を示す構造図である。

る。

【図34】 この発明の実施例34を示す回路図である。

【図35】 従来の移相器を示す回路図である。

【符号の説明】

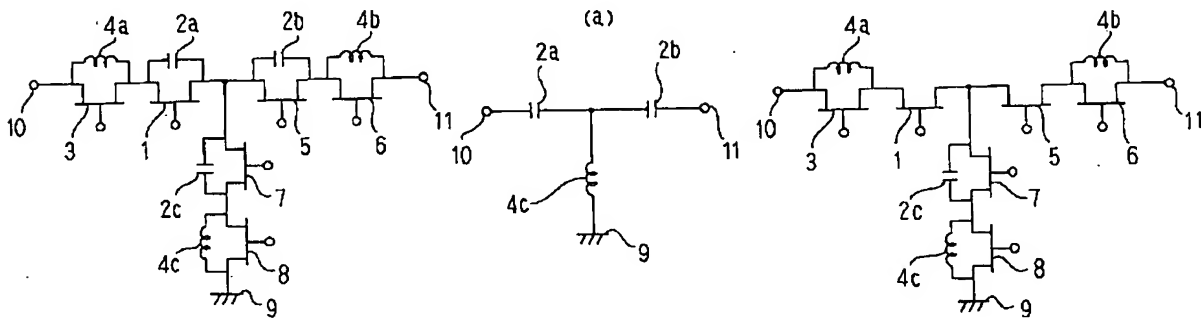
1 第1のFET、2 キャパシタ、3 第2のFET、4 インダクタ、5第3のFET、6 第4のFET、7 第5のFET、8 第6のFET、9接地、10 入力端子、11 出力端子、12 ドレイン電極パ

ターン、13ソース電極パターン、14 ゲート電極パターン、15 エアブリッジ、16エアブリッジ、17 エアブリッジ、18 インダクタ用線路パターン、19接続パターン、20 MIMコンデンサ、21 端子用パターン、22 FETセル、23 インターデジタルキャパシタ、24 直流遮断用キャパシタ、25 基準伝送線路、26 遅延伝送線路、27 ドレイン電極、28 ソース電極、29 ゲート電極。

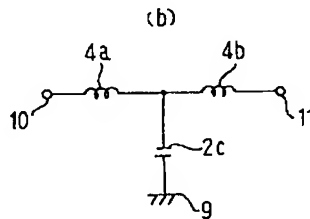
【図1】

【図2】

【図3】

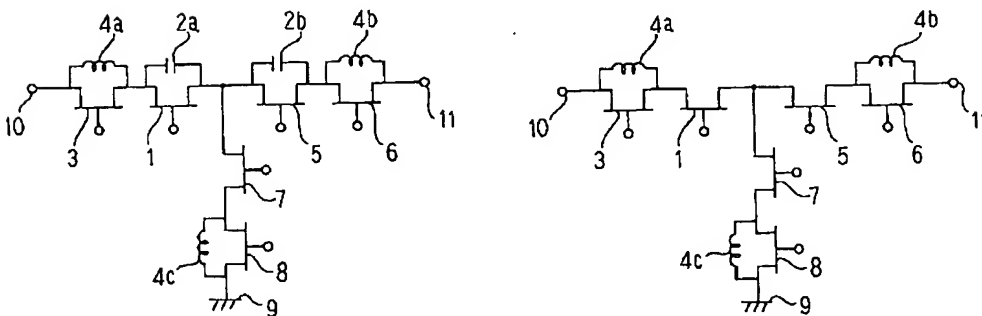


1: 第1のFET
2: キャパシタ
3: 第2のFET
4: インダクタ
5: 第3のFET
6: 第4のFET
7: 第5のFET
8: 第6のFET
9: 接地

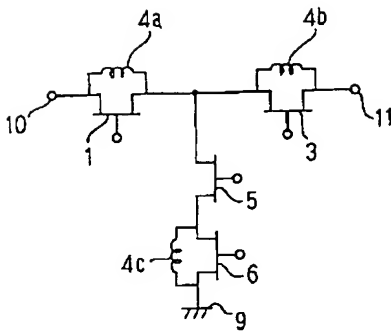


【図4】

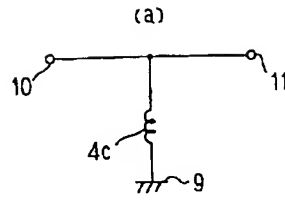
【図5】



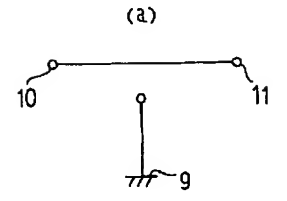
【图6】



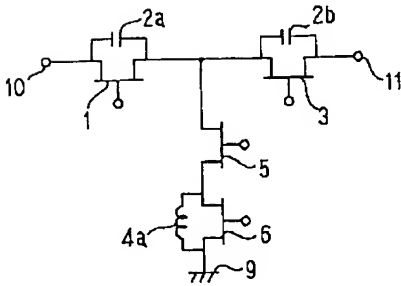
【図 7】



【图9】



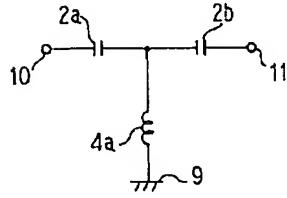
【图8】



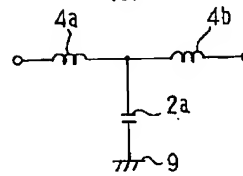
(b)

Diagram (b) shows a horizontal beam with a pin support at the center and roller supports at both ends. The left end is labeled '10' and the right end is labeled '11'. The pin support is labeled '9'.

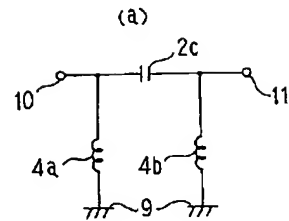
(b)



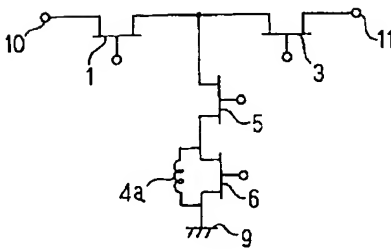
(c)



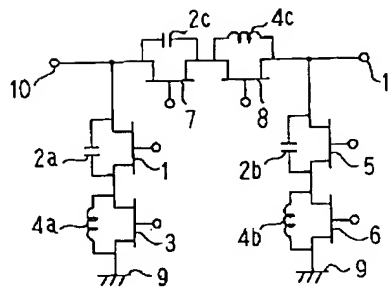
【图 1 2】



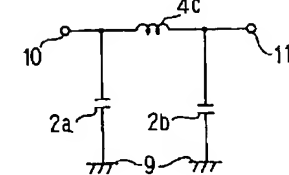
【図 10】



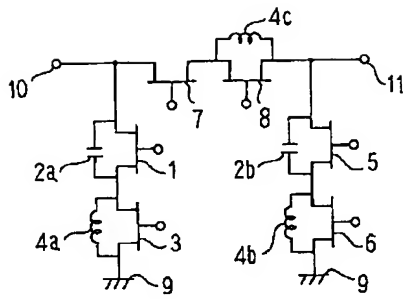
【图 1 1】



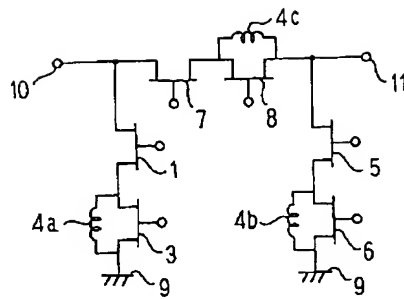
(b)



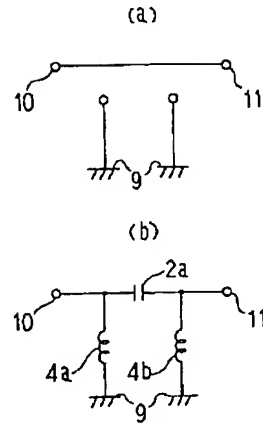
【図14】



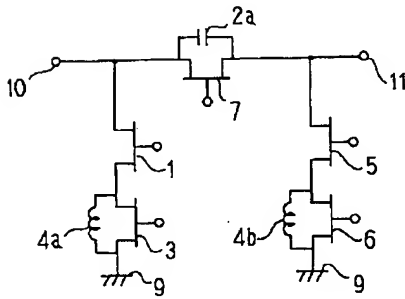
【図15】



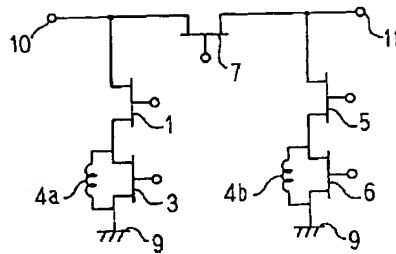
【図17】



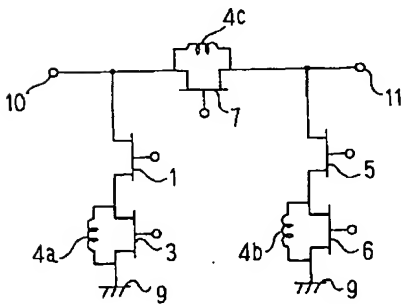
【図16】



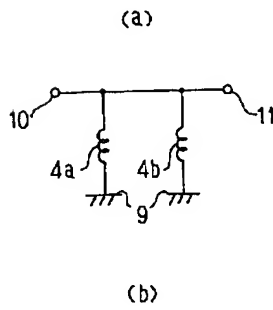
【図18】



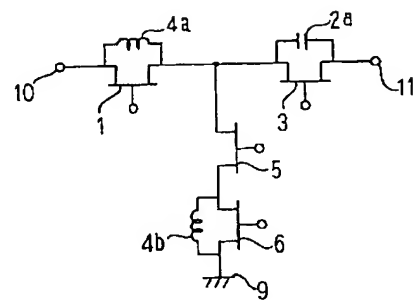
【図19】



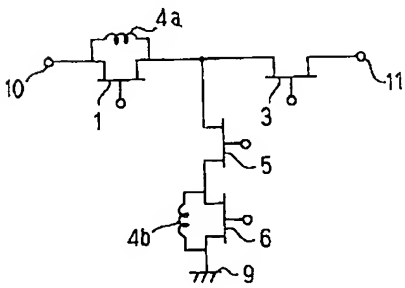
【図20】



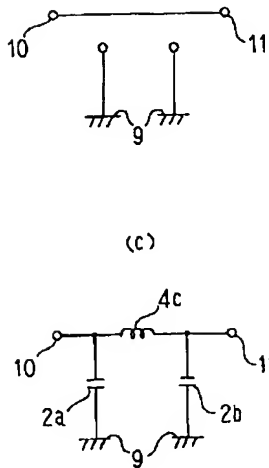
【図21】



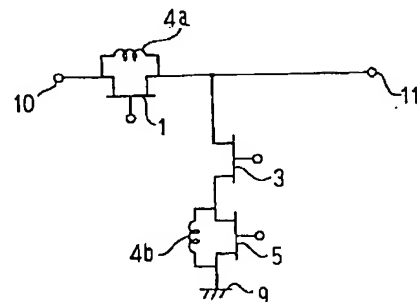
【図23】



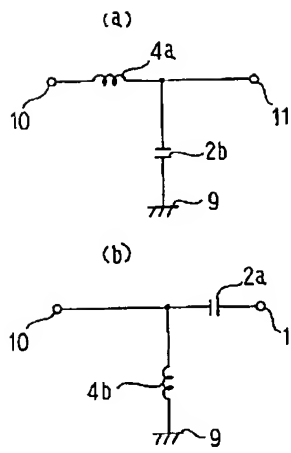
(c)



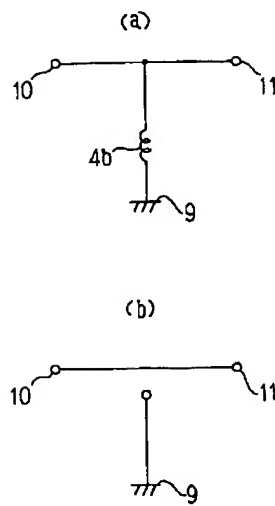
【図24】



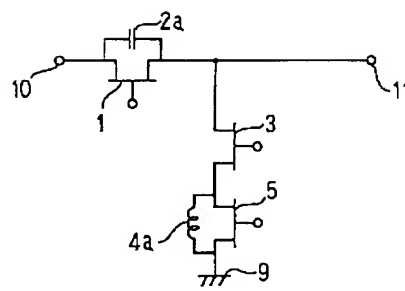
【図22】



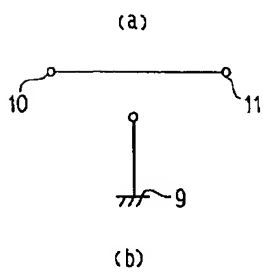
【図25】



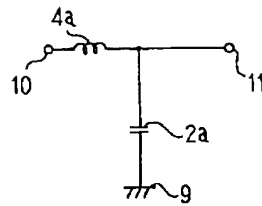
【図26】



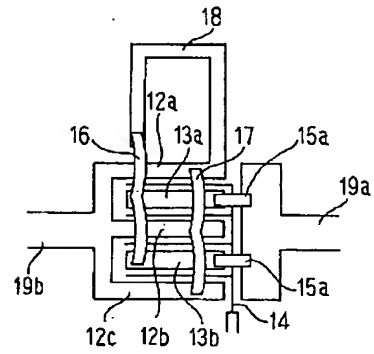
【図27】



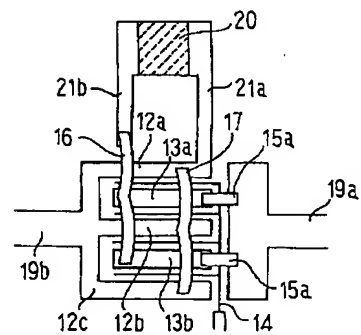
(c)



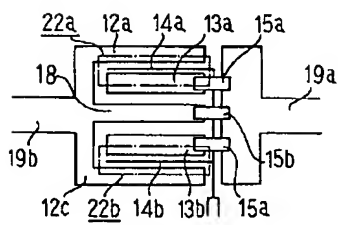
【図29】



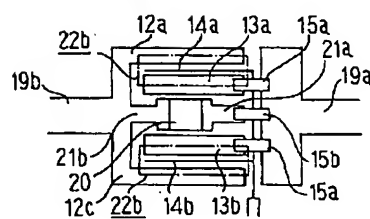
【図30】



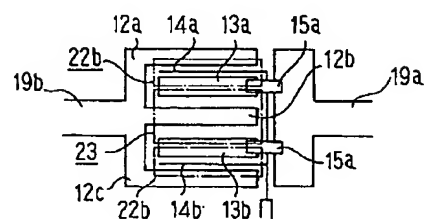
【図31】



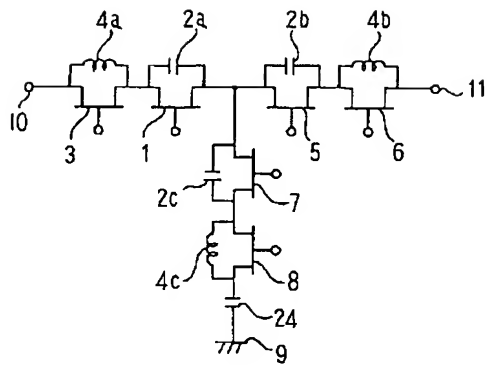
【図32】



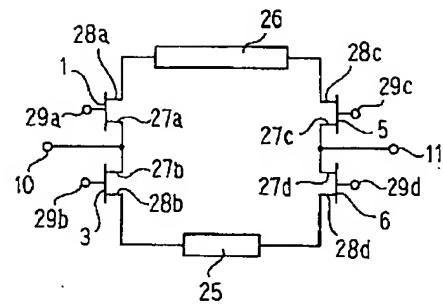
【図33】



【図 3 4】



【図 3 5】



フロントページの続き

(72)発明者 室井 浩一

鎌倉市上町屋325番地 三菱電機株式会社
鎌倉製作所内

(72)発明者 伊山 義忠

鎌倉市大船五丁目1番1号 三菱電機株式
会社電子システム研究所内